

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**



(19)

(11) Publication number:

06334923 A

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 05141177

(51) Intl. Cl.: H04N 5/335

(22) Application date: 21.05.93

(30) Priority:

(43) Date of application
publication: 02.12.94(84) Designated
contracting states:

(71) Applicant: CANON INC

(72) Inventor: TAKAHASHI HIDEKAZU

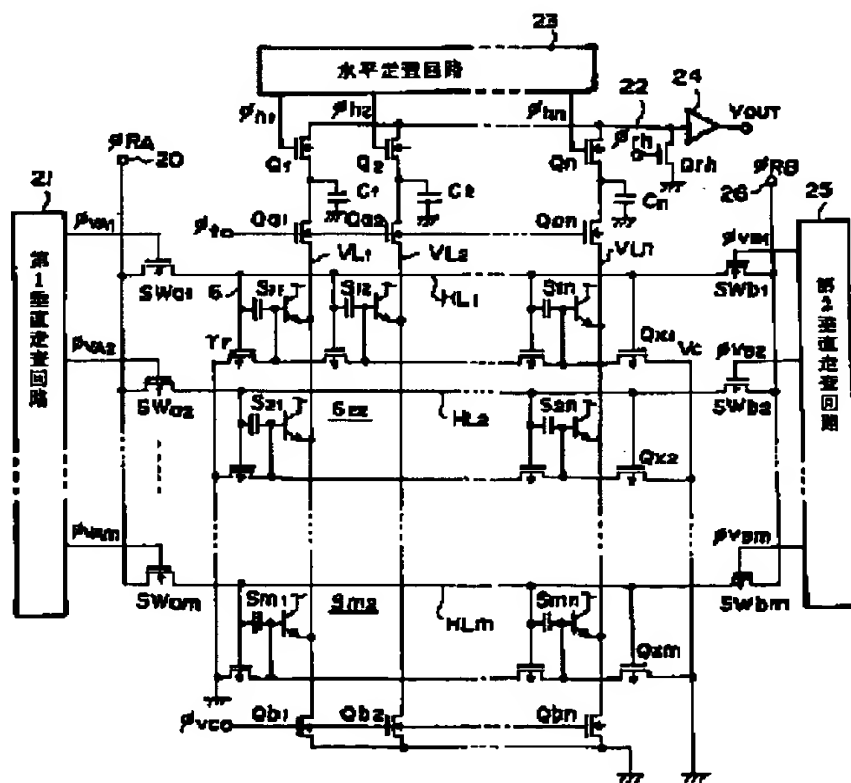
(74) Representative:

**(54) PHOTOELECTRIC
CONVERTER AND ITS
DRIVING METHOD**

(57) Abstract:

PURPOSE: To execute high speed electronic shutter operation while holding a conventional operation mode function.

CONSTITUTION: This photoelectric converter is provided with the 1st scanning means 21, SWa1 to SWam consisting of $(n \times m)$ transistors (TRs) capable of accumulating carriers generated by optical energy in their base areas, (n) 1st common lines VL1 to VLn electrically connected to the emitter areas of the TRs and (m) 2nd common lines HL1 to HLm electrically connected to the base areas of the TRs and capable of successively impressing reading pulses to the (m) 2nd common lines HL1 to HLm in order to successively read out signals based upon the carriers stored in the base areas of the TRs from the 1st common line VL1 to VLn and the 2nd scanning means 25, SWb1 to SWbm for successively impressing reset pulses to the 2nd common lines different from the 2nd common lines to which reading pulses are to be impressed in order to successively refresh the carriers stored in the base areas of the TRs.



COPYRIGHT: (C)1994,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-334923

(43) 公開日 平成6年(1994)12月2日

(51) Int.Cl.⁵

H 0 4 N 5/335

識別記号

庁内整理番号

P

F I

技術表示箇所

審査請求 未請求 請求項の数6 F D (全 9 頁)

(21) 出願番号 特願平5-141177

(22) 出願日 平成5年(1993)5月21日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 高橋 秀和

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

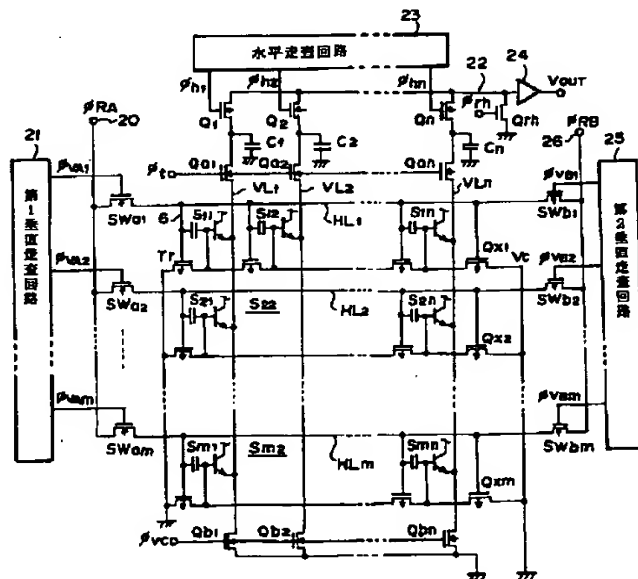
(74) 代理人 弁理士 山下 穰平

(54) 【発明の名称】 光電変換装置及びその駆動方法

(57) 【要約】

【目的】 従来の動作モードの機能を有したまま高速の電子シャッター動作を行わせる。

【構成】 光エネルギーにより生成されるキャリアをベース領域に蓄積可能なトランジスタ (Tr) の $n \times m$ 個と、Trのエミッタ領域に電氣的に接続された n 個の第一の共通線 ($VL_1 \sim VL_n$) と、Trの前記ベース領域に電氣的に接続された m 個の第二の共通線 ($HL_1 \sim HL_m$) と、を備えるとともに、Trのベース領域に蓄積されたキャリアに基づく信号を n 個の第一の共通線から順次読み出す為に、 m 個の第二の共通線に順次読出しパルスを印加する第一の走査手段21、 $SW_{a1} \sim SW_{am}$ と、Trのベース領域に蓄積されたキャリアを順次リフレッシュする為に、読出しパルスを印加する第二の共通線とは異なる第二の共通線に順次リセットパルスを印加する第二の走査手段25、 $SW_{b1} \sim SW_{bm}$ と、を備える。



【特許請求の範囲】

【請求項1】 第一導電型の半導体からなる制御電極領域と、前記第一導電型とは異なる第二導電型の半導体からなる第一及び第二の主電極領域と、を有し、光エネルギーを受けることにより生成されるキャリアを前記制御電極領域に蓄積可能なトランジスタの $n \times m$ 個を具備し、蓄積動作、読み出し動作及びリフレッシュ動作を行う光電変換装置において、

前記トランジスタの前記第一の主電極領域に電氣的に接続された n 個の第一の共通線と、前記トランジスタの前記制御電極領域に電氣的に接続された m 個の第二の共通線と、を備えたマトリクスと、

前記トランジスタの制御電極領域に蓄積されたキャリアに基づく信号を前記 n 個の第一の共通線から順次読み出す為に、前記 m 個の第二の共通線に順次読み出しパルス

を印加する第一の走査手段と、前記トランジスタの制御電極領域に蓄積されたキャリアを順次リフレッシュする為に、前記読み出しパルスを印加する第二の共通線とは異なる第二の共通線に順次リセットパルスを印加する第二の走査手段と、を有することを特徴とする光電変換装置。

【請求項2】 前記第二の走査手段によるリフレッシュ動作終了後から前記第一の走査手段による読み出し動作開始までを蓄積動作期間とした請求項1記載の光電変換装置。

【請求項3】 前記第一の走査手段及び前記第二の走査手段は、それぞれ、前記 m 個の第二の共通線に各々接続され、且つ前記第二の共通線にリセットパルス又は読み出しパルスを印加するスイッチと、このスイッチの開閉制御を行う信号を出力する走査回路とを有する請求項1記載の光電変換装置。

【請求項4】 前記リセットパルス及び前記読み出しパルスは、三値パルスである請求項1記載の光電変換装置。

【請求項5】 前記リセットパルスを前記第二の走査手段のスイッチに供給するタイミングと、前記読み出しパルスを前記第一の走査手段のスイッチに供給するタイミングとをずらすことで蓄積時間を調整した請求項3記載の光電変換装置。

【請求項6】 第一導電型の半導体からなる制御電極領域と、前記第一導電型とは異なる第二導電型の半導体からなる第一及び第二の主電極領域と、を有し、光エネルギーを受けることにより生成されるキャリアを前記制御電極領域に蓄積可能なトランジスタの $n \times m$ 個を具備するとともに、前記トランジスタの前記第一の主電極領域に電氣的に接続された n 個の第一の共通線と、前記トランジスタの前記制御電極領域に電氣的に接続された m 個の第二の共通線と、を備えたマトリクスを具備し、蓄積動作、読み出し動作及びリフレッシュ動作を行う光電変換装置の駆動方法であって、

前記トランジスタの制御電極領域に蓄積されたキャリアをリフレッシュする為のリセットパルスと、前記トランジスタの制御電極領域に蓄積されたキャリアに基づく信号を読み出す為の読み出しパルスと、を独立に前記 m 個の第二の共通線の内の別々の第二の共通線に印加して順次走査し、

蓄積動作期間を、前記リセットパルスによるリセット動作終了後から前記読み出しパルスによる読み出し動作開始までとした光電変換装置の駆動方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は光電変換装置及びその駆動方法に係り、特に電子シャッター機能を有する光電変換装置及びその駆動方法に関するものである。本発明は、例えばX-Yアドレス駆動型の電荷増幅型エリアセンサに用いることができる。

【0002】

【従来の技術】 従来のX-Yアドレス駆動型の電荷増幅型エリアセンサとしては例えば、特開昭63-186466号公報、特願昭62-17150号公報に開示された光電変換装置がある。

【0003】 図7は、上記光電変換装置の構造を示す概略的断面図であり、図7において、 n シリコン基板1上に複数の光電変換素子 $S_1 \sim S_n$ が形成されており、エピタキシャル技術等で形成される不純物濃度の低い n^- 領域2上には p タイプの不純物をドーピングすることで p 領域3が形成され、 p 領域3には不純物拡散技術またはイオン注入技術等によって n^+ 領域4が形成されている。 p 領域3および n^+ 領域4は、各々バイポーラトランジスタのベースおよびエミッタである。

【0004】 このように各領域が形成された n^- 領域2上には酸化膜5が形成され、酸化膜5上に各 p ベース領域3およびそれぞれ隣接する p ベース領域3間にまたがって所定の面積を有するキャパシタ電極6が形成されている。この p ベース領域3上のキャパシタ電極6は、 p ベース領域3と対向してベース電位を制御するためのキャパシタ C_{ox} を構成し、隣接するベース間の電極6は、その隣接する p ベース領域3を各々ソース・ドレイン領域とするMOSトランジスタ T_r のゲート電極となっている。したがって、キャパシタ電極とMOSトランジスタ T_r のゲート電極とが接続された構成となっている。

【0005】 MOSトランジスタ T_r は p チャネル型かつノーマリオフ型であり、電極6の電位が接地電位または正電位であればオフ状態である。したがって、隣接素子間の p ベース領域は電氣的に分離された状態となり、素子分離領域を形成する必要がないのでそれだけ素子の微細化に有利となる。

【0006】 逆に、電極6がしきい値電位 V_{th} を超える負電位であると、MOSトランジスタ T_r はオン状態となり、各素子の p ベース領域3が相互に導通した状態と

なる。

【0007】その他に、 n^+ エミッタ領域4に接続されたエミッタ電極7、保護膜8、基板1の裏面に不純物濃度の高い n^+ 領域9、およびバイポーラトランジスタのコレクタに電位を与えるためのコレクタ電極10がそれぞれ形成されている。

【0008】なお、コレクタ電極10には正電圧 V_{cc} が印加されている。

【0009】図8は、このような光電変換素子を $m \times n$ エリアセンサに用いた従来の光電変換装置の概略的回路図である。

【0010】各ラインにおける素子の電極6は各水平ライン $HL_1 \sim HL_m$ にそれぞれ共通接続され、それぞれスイッチ $SW_1 \sim SW_m$ を介して端子20に接続されている。また端子20にはパルス ϕ_r が入力する。

【0011】スイッチ $SW_1 \sim SW_m$ は、 n MOSトランジスタで構成されるアナログスイッチであり、そのゲート端子には垂直走査回路21の出力端子が接続され、その出力パルス $\phi_{v1} \sim \phi_{vm}$ によって制御される。

【0012】各素子のエミッタ電極7は列ごとに垂直ライン $VL_1 \sim VL_n$ に接続されている。垂直ライン $VL_1 \sim VL_n$ はリセット用トランジスタ $Q_{b1} \sim Q_{bn}$ を介して接地され、トランジスタ $Q_{b1} \sim Q_{bn}$ のゲート電極にはパルス ϕ_{vc} が入力する。

【0013】また、垂直ライン $VL_1 \sim VL_n$ は、トランジスタ $Q_{a1} \sim Q_{an}$ を介して各々蓄積用キャパシタ $C_1 \sim C_n$ に接続され、更にキャパシタ $C_1 \sim C_n$ はトランジスタ $Q_1 \sim Q_n$ を介して出力ライン22に接続されている。

【0014】トランジスタ $Q_{a1} \sim Q_{an}$ のゲート電極にはパルス ϕ_t が共通に入力し、トランジスタ $Q_1 \sim Q_n$ のゲート電極には水平走査回路23からパルス $\phi_{h1} \sim \phi_{hn}$ が各々入力する。

【0015】出力ライン22はトランジスタ Q_{rh} を介して接地されるとともに、アンプ24の入力端子に接続されている。トランジスタ Q_{rh} のゲート電極にはパルス ϕ_{rh} が入力する。

【0016】なお、各素子のベース電位を設定するための一定電位 V_c は、接地電位とする。

【0017】次に、図9のタイミングチャートを参照して、動作を説明する。

【0018】まず、垂直走査回路21のパルス ϕ_{v1} のみをハイレベルにしてスイッチ SW_1 をオン状態とする。また、パルス ϕ_t をハイレベルにしてトランジスタ $Q_{a1} \sim Q_{an}$ をオン状態とする。

【0019】次に、パルス ϕ_r を期間 T_1 だけ正電位にすると、スイッチ SW_1 を通して第1ラインの素子 $S_{11} \sim S_{1n}$ の電極6に正電圧が印加される。これにより第1ラインの読出し動作が行われ、第1ラインの読出し信号が垂直ライン $VL_1 \sim VL_n$ およびトランジスタ Q_{a1}

$\sim Q_{an}$ を通してキャパシタ $C_1 \sim C_n$ に各々蓄積される。

【0020】次に、パルス ϕ_t をローレベルとするとトランジスタ $Q_{a1} \sim Q_{an}$ がオフ状態となる。そして、水平走査回路23からパルス $\phi_{h1} \sim \phi_{hn}$ が順次出力され、それに従ってキャパシタ $C_1 \sim C_n$ に蓄積された読出し信号がトランジスタ $Q_1 \sim Q_n$ を介して順次出力ライン22へ取り出され、アンプ24を通して出力信号 V_{out} として外部へシリアルに出力される。なお、各読出し信号が出力される毎にパルス ϕ_{rh} が立上がり、トランジスタ Q_{rh} をオンして出力ライン22のキャリアを除去する。

【0021】この信号出力動作と並行してパルス ϕ_{vc} をハイレベルにしてトランジスタ $Q_{b1} \sim Q_{bn}$ をオンとし、垂直ライン $VL_1 \sim VL_n$ を接地する。

【0022】またパルス ϕ_r を期間 T_2 で負電位として、第1ラインのMOSトランジスタ T_r をオン状態とする(第1リセット)。

【0023】これによって、すでに述べたように素子 $S_{11} \sim S_{1n}$ のpベース領域3の電位は、接地電位 V_c に均一に設定され、さらに期間 T_3 のリフレッシュ動作により初期の負電位に復帰し(第2リセット)、蓄積動作を開始する。

【0024】こうして第1ラインの動作が終了すると、パルス ϕ_{v1} が立下がり、スイッチ SW_1 をオフ状態とする。続いて、パルス ϕ_t が立上がりトランジスタ $Q_{a1} \sim Q_{an}$ をオン状態とする。これによって、キャパシタ $C_1 \sim C_n$ に残留しているキャリアを垂直ライン $VL_1 \sim VL_n$ 及びトランジスタ $Q_{b1} \sim Q_{bn}$ を通して除去する。

【0025】以下同様の動作をライン毎に行い、第2～第 m ラインの読出し信号を順次出力する。

【0026】このように、3値レベルのパルス ϕ_r により駆動される光電変換素子を用いれば、期間 T_2 において各ラインの素子のベース電位が一定電位に設定され、その後、期間 T_3 においてリフレッシュ動作が行われるために、残像特性が良好で、光電変換特性の線形性の良い光電変換装置を得ることができる。しかも、ライン方向に素子分離領域を必要としないため、素子の微細化に適し、高解像度化に容易に対応できる光電変換装置を得ることができる。

【0027】

【発明が解決しようとしている課題】しかしながら、上記従来例の光電変換装置では、蓄積時間を可変させることは困難であり、CCDエリアセンサ等の機能の1つである電子シャッターを行うことは困難であった。従って上記従来例の光電変換装置では外部にメカニカルシャッターを設けることにより、シャッター機能を実現していた。

【0028】

【課題を解決するための手段】本発明の光電変換装置は、第一導電型の半導体からなる制御電極領域と、前記第一導電型とは異なる第二導電型の半導体からなる第一及び第二の主電極領域と、を有し、光エネルギーを受けることにより生成されるキャリアを前記制御電極領域に蓄積可能なトランジスタの $n \times m$ 個を具備し、蓄積動作、読み出し動作及びリフレッシュ動作を行う光電変換装置において、前記トランジスタの前記第一の主電極領域に電気的に接続された n 個の第一の共通線と、前記トランジスタの前記制御電極領域に電気的に接続された m 個の第二の共通線と、を備えたマトリクスと、前記トランジスタの制御電極領域に蓄積されたキャリアに基づく信号を前記 n 個の第一の共通線から順次読み出す為に、前記 m 個の第二の共通線に順次読み出しパルスを加する第一の走査手段と、前記トランジスタの制御電極領域に蓄積されたキャリアを順次リフレッシュする為に、前記読み出しパルスを加する第二の共通線とは異なる第二の共通線に順次リセットパルスを加する第二の走査手段と、を有するものである。

【0029】本発明の光電変換装置の駆動方法は、第一導電型の半導体からなる制御電極領域と、前記第一導電型とは異なる第二導電型の半導体からなる第一及び第二の主電極領域と、を有し、光エネルギーを受けることにより生成されるキャリアを前記制御電極領域に蓄積可能なトランジスタの $n \times m$ 個を具備するとともに、前記トランジスタの前記第一の主電極領域に電気的に接続された n 個の第一の共通線と、前記トランジスタの前記制御電極領域に電気的に接続された m 個の第二の共通線と、を備えたマトリクスを具備し、蓄積動作、読み出し動作及びリフレッシュ動作を行う光電変換装置の駆動方法であって、前記トランジスタの制御電極領域に蓄積されたキャリアをリフレッシュする為のリセットパルスと、前記トランジスタの制御電極領域に蓄積されたキャリアに基づく信号を読み出す為の読み出しパルスと、を独立に前記 m 個の第二の共通線の内の別々の第二の共通線に印加して順次走査し、蓄積動作期間を、前記リセットパルスによるリセット動作終了後から前記読み出しパルスによる読み出し動作開始までとした光電変換装置の駆動方法である。

【0030】

【作 用】本発明の光電変換装置は、リセットパルスと読み出しパルスとを別々の共通線に印加できる回路構成、即ち、読み出しパルスを印加する第一の走査手段、リセットパルスを印加する第二の走査手段を設けることで、蓄積時間を任意に設定できるようにしたものである。

【0031】また、本発明の光電変換装置の駆動方法は、リセットパルスと読み出しパルスとを独立に m 個の第二の共通線の内の別々の第二の共通線に印加して順次走査することで、蓄積時間を任意に設定できるようにし

たものである。

【0032】

【実施例】以下、本発明の実施例について図面を用いて詳細に説明する。

【実施例1】図1に本発明の光電変換装置の第1の実施例の回路構成図を示す。なお、図1において図8の従来例と同一構成部材については同一番号を付け説明を省略する。図1において、25は第2の垂直走査回路であり、26は入力端子である。各ラインにおける素子の電極6は各水平ライン $HL_1 \sim HL_m$ にそれぞれ共通接続され、それぞれスイッチ $SW_{a1} \sim SW_{am}$ を介して端子20に接続されるとともに、それぞれスイッチ $SW_{b1} \sim SW_{bm}$ を介して端子26に接続される。端子20にはパルス ϕ_{RA} が入力し、端子26にはパルス ϕ_{RB} が入力する。

【0033】次に図2のタイミングチャートを参照して、動作を説明する。

【0034】まず、第1の垂直走査回路21のパルス ϕ_{VA1} をハイレベルにしてスイッチ SW_{a1} をオン状態とする。また、パルス ϕ_t をハイレベルにしてトランジスタ $Q_{a1} \sim Q_{an}$ をオン状態とする。

【0035】次に、パルス ϕ_{RA} を期間 T_1 だけ正電位とすると、スイッチ SW_{a1} を通して第1ラインの素子 $S_{11} \sim S_{1n}$ の電極6に正電圧が印加される。これにより第1ラインの読み出し動作が行われ、第1ラインの読み出し信号が垂直ライン $VL_1 \sim VL_n$ およびトランジスタ $Q_{a1} \sim Q_{an}$ を通してキャパシタ $C_1 \sim C_n$ に各々蓄積される。

【0036】次に、パルス ϕ_t がローレベルとなりトランジスタ $Q_{a1} \sim Q_{an}$ がオフ状態となる。そして、水平走査回路23からパルス $\phi_{h1} \sim \phi_{hn}$ が順次出力され、それに従ってキャパシタ $C_1 \sim C_n$ に蓄積された読み出し信号がトランジスタ $Q_1 \sim Q_n$ を介して順次出力ライン22へ取り出され、アンプ24を通して出力信号 V_{out} として外部へシリアルに出力される。なお、各読み出し信号が出力される毎にパルス ϕ_{rh} が立上り、トランジスタ Q_{rh} をオンして出力ライン22のキャリアを除去する。

【0037】この第1ラインの信号読み出し動作と並行して他の任意の水平ライン（以下、第 x ラインとして説明する）のリセット動作を行う。第2の垂直走査回路25のパルス ϕ_{VBx} をハイレベルにしてスイッチ SW_{bx} をオン状態とする。ここでパルス ϕ_{VBx} はパルス ϕ_{VA1} と同期させている。

【0038】リセット方法は従来例と同様に行うことができる。パルス ϕ_{RB} を期間 T_2 で負電位として第 x ラインの p -MOSトランジスタ T_r をオン状態として第1リセットを行う。

【0039】次にパルス ϕ_{Vc} をハイレベルにしてトランジスタ $Q_{b1} \sim Q_{bn}$ をオンとし、垂直ライン $VL_1 \sim$

VL_n を接地する。この時、パルス ϕRB をオンさせることにより第2リセットを行う。

【0040】これによって、すでに述べた様に第 x ラインの素子 $S_{x1} \sim S_{xn}$ の p ベース電位は第1リセットにより接地電位 V_c に均一に設定され、次の第2リセットにより初期の負電位に復帰し、蓄積動作を開始する。

【0041】こうして、第1ラインの信号読み出し動作と第 x ラインのリセット動作が終了すると、パルス ϕVA_1 とパルス ϕVB_x が立下がり、スイッチ SW_{a1} とスイッチ SW_{bx} とがオフ状態となる。続いてパルス ϕt が立上がり、トランジスタ $Q_{a1} \sim Q_{an}$ をオン状態とする。これによってキャパシタ $C_1 \sim C_n$ に残留しているキャリアを垂直ライン $VL_1 \sim VL_n$ およびトランジスタ $Q_{b1} \sim Q_{bn}$ を通して除去する。

【0042】以下同様の動作をライン毎に行い第2～第 m ラインの読み出し信号を順次出力するとともに、第 $x+1 \sim x+m-1$ ラインのリセットが順次行われる。

【0043】このように読み出しを行うラインとリセットを行うラインを異ならせたことが本発明の特徴である。図8に示した従来の光電変換装置では、あるライン（例えば第 y ライン）で各センサ素子からキャパシタ $C_1 \sim C_n$ に信号が読み出されると第1、第2リセットが行われて蓄積動作が開始され、この開始時（リセット後）から次の読み出し動作までが第 y ラインでの蓄積時間となるが、本実施例の光電変換装置では、第 y ラインでの信号蓄積動作の開始（リセット終了）は、別のラインの信号読み出し期間に行われ、当該第 y ラインの読み出し動作と無関係に行うことができる。すなわち、従来では一定であった蓄積時間を可変にすることができる。この蓄積時間の可変の方法を図3を用いて説明する。

【0044】図3（A）において、第 K ラインが読み出しラインで第 L ラインがリセットラインである。次の読み出し動作では図3（B）の状態となり、第 $K+1$ ラインが読み出しラインで第 $L+1$ がリセットラインとなる。

【0045】そして順次読み出し動作を行っていくと図3（C）のように第 L ラインが読み出しラインとなる。従って読み出しラインとリセットラインはある一定の間隔となっており、この間隔が蓄積時間（図3（A）のリセット動作終了時から図3（C）の読み出し開始時までの時間）となる。この蓄積時間は第1の垂直走査回路と第2の垂直走査回路のスタートの時間を変えることにより任意に設定できる。このように、本実施例では電子シャッター機能を持たせることができる。

【0046】なお、電子シャッター機能を作動させない場合には、第2の垂直走査回路を動作させないようにする。これは同一水平ラインに ϕRA と ϕRB とを同時に印加することを防ぐためである。 ϕRA のみでも読み出しとリセットが可能のように、 ϕRA は3値パルスを用いている。

【0047】本実施例によれば、第1の垂直走査回路から読み出しとリセットを行うパルスを印加し、第2の垂直

走査回路からリセットのみを行うパルスを電子シャッター機能動作時のみ、それ以外のラインに印加することにより、蓄積時間を可変させることが可能となった。

【実施例2】図4は本発明の第2実施例の動作を示すタイミングチャートである。なお、回路構成は図1に示した実施例1と同じである。実施例1では ϕVA_1 と ϕVB_x のハイレベル期間は同じタイミングであったが、本実施例においては、 ϕVB_x の方が遅く立ち上がるのが特徴である。 ϕVB_x は容量 $C_1 \sim C_n$ への信号転送終了後、かつ、 ϕRA が負のレベルになる前（第1リセット開始前）に立ち上がらせる。

【0048】本実施例のタイミングを用いると ϕRA と ϕRB は同一パルスでも良く、パルスを1つ減らすことが可能となる。

【実施例3】図5は本発明の第3実施例の動作を示すタイミングチャートである。本実施例においても、回路構成は実施例1と同様である。

【0049】図5に示す様に本実施例では光電変換素子からキャパシタ $C_1 \sim C_n$ へ信号を読み出す期間 T_1 で ϕVA_1 がハイレベルになり、その後ローレベルに戻る。 ϕVB_x は実施例2と同じタイミングでキャパシタ $C_1 \sim C_n$ へ信号転送後かつ第1リセット開始前にハイレベルとなる。実施例1では電子シャッター動作を行わない場合、第2の垂直走査回路を止める必要性があったが、本実施例では止めずに動かしておく様になる。

【実施例4】図6は本発明の光電変換装置の他の実施例を示す回路構成図である。なお、図1の構成部材と同一構成部材については同一番号を付け説明を省略する。本実施例の光電変換装置は実施例1、2で説明したタイミングチャートと同じタイミングで動作させることができる。

【0050】本実施例においては図6に示すように、 ϕRB の入力部にスイッチ SW_c が設けられており、スイッチ SW_c を電子シャッターモード時にオン、それ以外の時にオフさせる。本実施例においては、第2の垂直走査回路は、電子シャッターモードにかかわらず動作させておく。

【0051】以上の実施例1～4において、第1の垂直走査回路と第2の垂直走査回路を逆に、 ϕRA と ϕRB を逆にしても良いのは勿論である。

【0052】又、動作もインターレース、ノンインターレースにかかわらず本発明が適用されることは言うまでもない。

【0053】

【発明の効果】以上説明したように、本発明によれば、読み出し動作を行うラインとリセット動作を行うラインを異らせることにより従来の動作モードの機能を有したまま高速の電子シャッター動作が行える光電変換装置が可能となる。

【図面の簡単な説明】

【図1】本発明の光電変換装置の第1の実施例の回路構成図である。

【図2】本発明の光電変換装置の第1実施例のタイミングチャートである。

【図3】本発明の光電変換装置の第1実施例の蓄積時間の説明図である。

【図4】本発明の第2実施例のタイミングチャートである。

【図5】本発明の第3実施例のタイミングチャートである。

【図6】本発明の光電変換装置の他の実施例の回路構成図である。

【図7】従来の光電変換装置の構造を示す概略的断面図である。

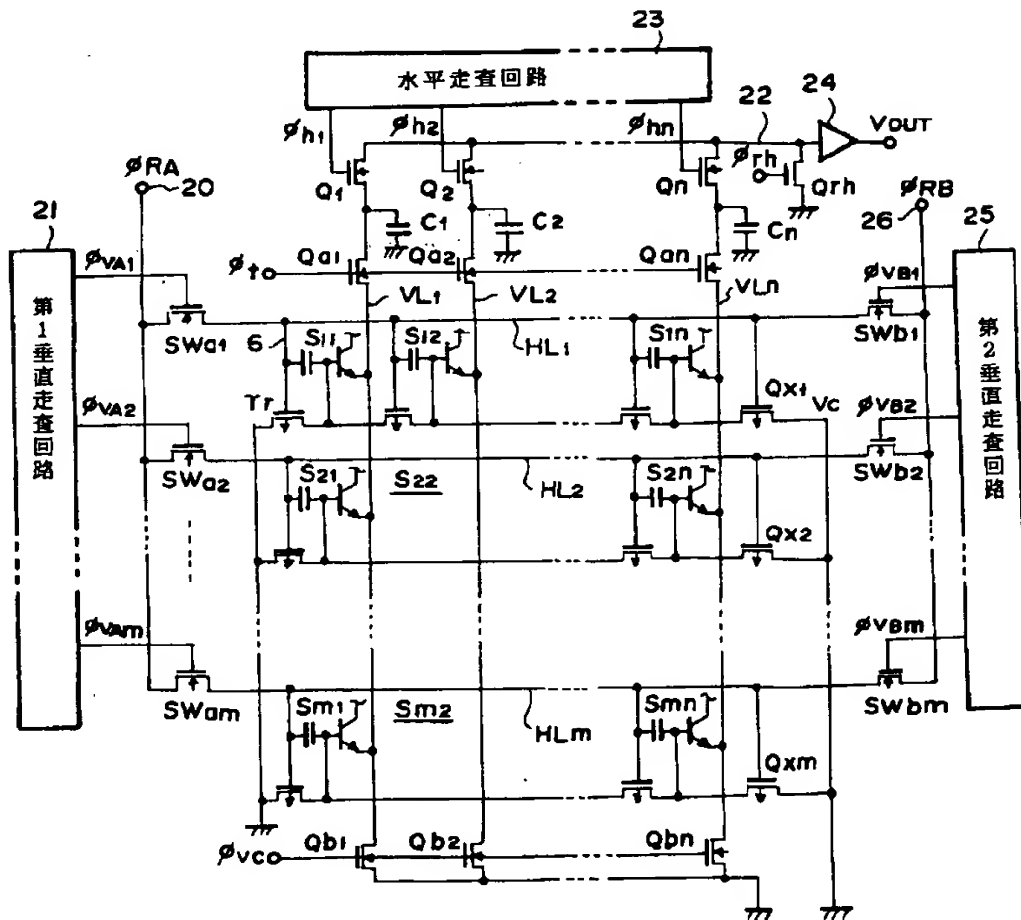
【図8】従来の光電変換装置の回路構成図である。

【図9】従来の光電変換装置のタイミングチャートである。

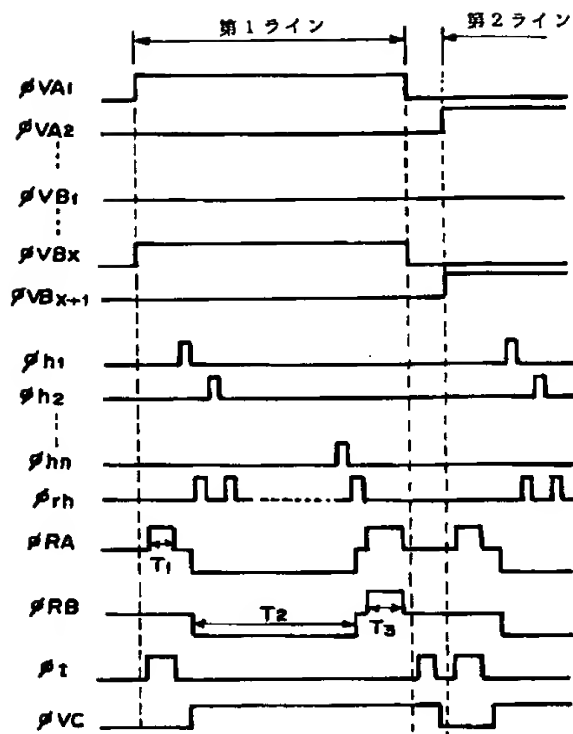
【符号の説明】

- 1 n型Si基板
- 2 n⁻エピタキシャル層
- 3 p型ベース
- 4 n⁺型エミッタ
- 5 酸化膜
- 6 電極
- 7 エミッタ電極
- 8 保護膜
- 9 n⁺型領域
- 10 コレクタ電極
- 20 入力端子
- 21 第1の垂直走査回路
- 22 出力線
- 23 水平走査回路
- 24 アンプ
- 25 第2の垂直走査回路
- 26 入力端子

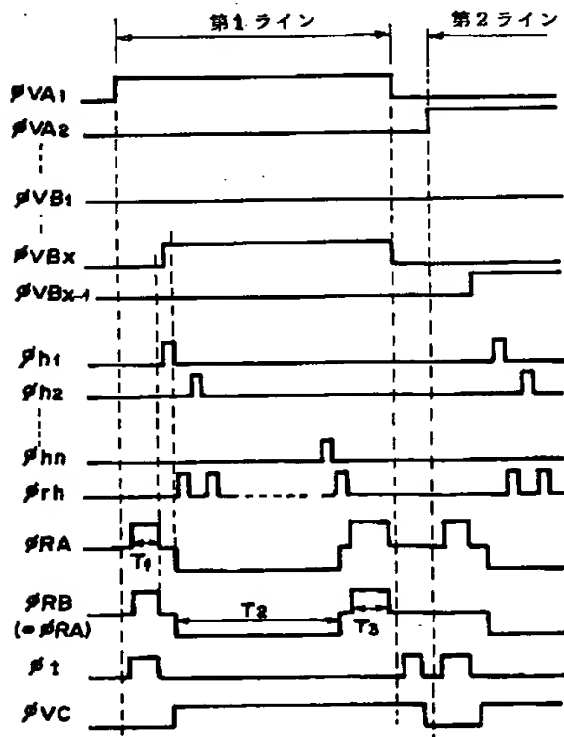
【図1】



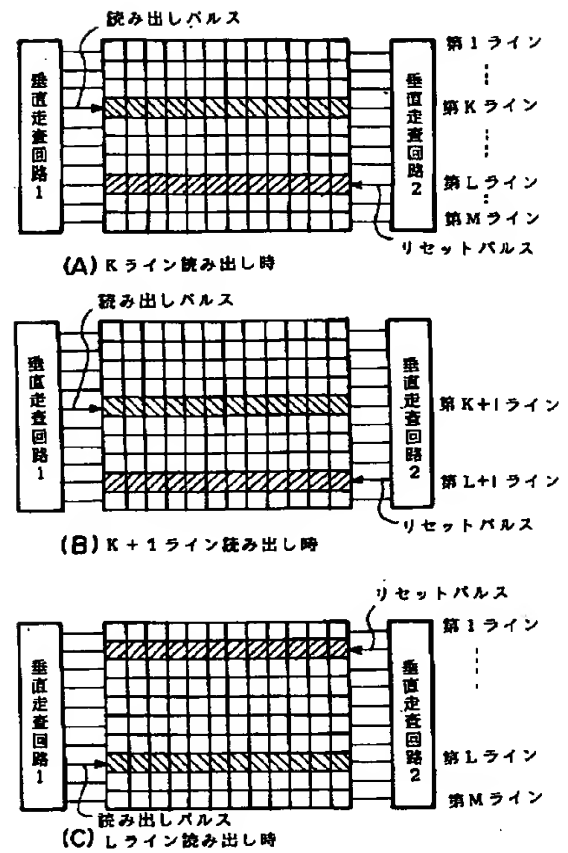
【図2】



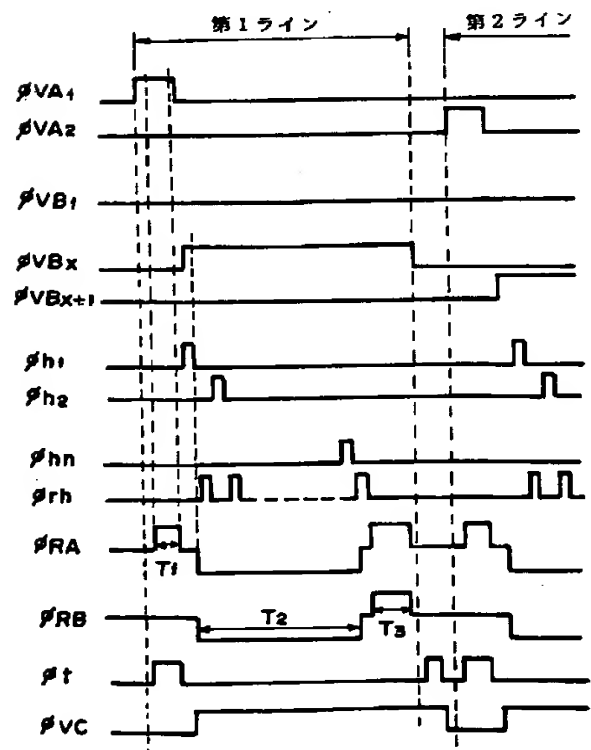
【図4】



【図3】



【図5】



The diagram shows the timing of various signals for two memory lines. The signals are:

- $\phi V1$: Address signal for Line 1, high during the first line period.
- $\phi V2$: Address signal for Line 2, high during the second line period.
- $\phi h1, \phi h2, \phi hn$: Data bus signals for Line 1.
- ϕrh : Read signal for Line 1.
- ϕr : Read signal for Line 2.
- ϕt : Write signal for Line 2.
- ϕVC : Clock signal.

Time intervals $T1$, $T2$, and $T3$ are indicated on the ϕr signal line.

【図8】

